

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-105976

(P2000-105976A)

(43)公開日 平成12年4月11日(2000.4.11)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
G 1 1 B 20/10	3 2 1	G 1 1 B 20/10	3 2 1 Z 5 D 0 4 4

審査請求 未請求 請求項の数4 O L (全 11 頁)

(21)出願番号 特願平10-274054

(22)出願日 平成10年9月28日(1998.9.28)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 中嶋 康志

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72)発明者 江間 則之

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74)代理人 100092794

弁理士 松田 正道

Fターム(参考) 5D044 AB05 DE17 DE34 GL02 GW11

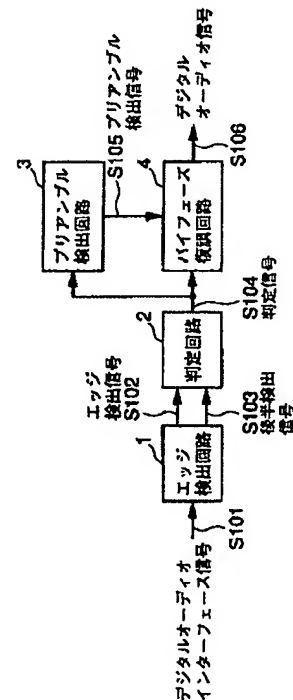
GM16 GM34 HL11

(54)【発明の名称】 デジタルオーディオインターフェース信号復調回路

(57)【要約】

【課題】デジタルオーディオインターフェース信号を復調する回路において、従来のアナログPLLを使用する構成では、安定性の確保や、小形化、テストの容易性など特にLSI化する場合に問題があった。

【解決手段】基準クロックの正負両方のエッジでデジタルオーディオインターフェース信号のエッジ検出を行うエッジ検出回路1と、この出力から基準クロックの半クロックでのカウント値を求め、このカウント値からテーブル判定によって1〜3T判定をする判定回路2と、プリアンプを検出する回路3と、1、2Tからバイフェーズ復調を行うバイフェーズ復調回路4とを備え、PLLを使用せずに復調回路を実現できる。



【特許請求の範囲】

【請求項 1】 デジタルオーディオ信号にプリアンブル付加情報を付加し、パイフェーズ変調して伝送されるデジタルオーディオインターフェース信号の復調を行う復調回路であって、

前記デジタルオーディオインターフェース信号を入力し、入力信号の最小反転周期の半分より短い周期でかつ入力信号とは必ずしも同期しない基準クロックでデジタルオーディオインターフェース信号を打ち抜いた第 1 の打ち抜き信号と、前記基準クロックの反転クロックでデジタルオーディオインターフェース信号を打ち抜きさらに基準クロックで打ち抜いた第 1 の反転打ち抜き信号とを生成し、第 1 の打ち抜き信号のエッジを検出してエッジ検出信号を出力し、第 1 の打ち抜き信号と第 1 の反転打ち抜き信号との排他的論理和をとった後半検出信号を出力するエッジ検出回路と、

前記エッジ検出信号と前記後半検出信号とを入力し、エッジ検出信号が入力されるごとに前記基準クロックでエッジ検出信号をカウントした値を求め、この値を 2 倍した値に対し、後半検出信号が入力されていれば 1 を加え、さらに直前の後半検出信号が入力されていれば 1 を引いた半クロックカウント値を算出し、半クロックカウント値を予め定めたテーブルと比較することで変調周期の 1 T、2 T、3 T の判定信号を出力する判定回路と、前記判定信号を入力し、前記プリアンブルのパターンを検出してプリアンブル検出信号を出力するプリアンブル検出回路と、

前記プリアンブル検出信号と判定信号とを入力し、プリアンブル検出信号をタイミング基準にして判定信号からデジタルオーディオ信号を復調して出力するパイフェーズ復調回路とを有するデジタルオーディオインターフェース信号復調回路。

【請求項 2】 デジタルオーディオ信号にプリアンブル付加情報を付加し、パイフェーズ変調して伝送されるデジタルオーディオインターフェース信号の復調を行う復調回路であって、

前記デジタルオーディオインターフェース信号を入力し、前記基準クロックでデジタルオーディオインターフェース信号を打ち抜いた第 1 の打ち抜き信号と、前記第 1 の打ち抜き信号をさらに前記基準クロックで打ち抜いた第 2 の打ち抜き信号と、前記基準クロックの反転クロックでデジタルオーディオインターフェース信号を打ち抜いてさらに基準クロックで打ち抜いた第 1 の反転打ち抜き信号と、第 1 の反転打ち抜き信号をさらに基準クロックで打ち抜いた第 2 の反転打ち抜き信号とを生成し、第 1 の打ち抜き信号と第 1 の反転打ち抜き信号と第 2 の打ち抜き信号とを加算して第 1 のキャリア信号を求め、第 1 の反転打ち抜き信号と第 2 の打ち抜き信号と第 2 の反転打ち抜き信号とを加算して第 2 のキャリア信号を求め、第 1 のキャリア信号のエッジを検出してエッジ検出

信号を出力し、第 1 のキャリア信号と第 2 のキャリア信号との排他的論理和をとった後半検出信号を出力するノイズ除去付きエッジ検出回路と、

前記エッジ検出信号と前記後半検出信号とを入力し、エッジ検出信号が入力されるごとに前記基準クロックでエッジ検出信号をカウントした値を求め、この値を 2 倍した値に対し、後半検出信号が入力されていれば 1 を加え、さらに直前の後半検出信号が入力されていれば 1 を引いた半クロックカウント値を算出して求めた半クロックカウント値を予め定めたテーブルと比較することで変調周期の 1 T、2 T、3 T の判定信号を出力する判定回路と、

前記判定信号を入力し、前記プリアンブルのパターンを検出してプリアンブル検出信号を出力するプリアンブル検出回路と、

前記プリアンブル検出信号と判定信号とを入力し、プリアンブル検出信号をタイミング基準にして判定信号からデジタルオーディオ信号を復調して出力するパイフェーズ復調回路とを有するデジタルオーディオインターフェース信号復調回路。

【請求項 3】 デジタルオーディオ信号にプリアンブル付加情報を付加し、パイフェーズ変調して伝送されるデジタルオーディオインターフェース信号の復調を行う復調回路であって、

前記デジタルオーディオインターフェース信号を入力し、入力信号の最小反転周波数より高い周波数でかつ入力信号とは必ずしも同期しない基準クロックでデジタルオーディオインターフェース信号を打ち抜いた第 1 の打ち抜き信号と、前記基準クロックの反転クロックでデジタルオーディオインターフェース信号を打ち抜きさらに基準クロックで打ち抜いた第 1 の反転打ち抜き信号とを生成し、第 1 の打ち抜き信号のエッジを検出してエッジ検出信号を出力し、第 1 の打ち抜き信号と第 1 の反転打ち抜き信号との排他的論理和をとった後半検出信号を出力するエッジ検出回路と、

前記エッジ検出信号を入力し、復調に必要な全てのサンプリング周波数の 3 T 信号に相当するエッジ検出信号の信号幅を検出し、各々の周期がサンプリング周波数の 2 倍の周期かどうかによって、サンプリング周波数検出信号を出力する周波数検出回路と、

前記エッジ検出信号と前記後半検出信号と前記サンプリング周波数検出信号とを入力し、エッジ検出信号が入力されるごとに前記基準クロックでエッジ検出信号をカウントした値を求め、この値を 2 倍した値に対し、後半検出信号が入力されていれば 1 を加え、さらに直前の後半検出信号が入力されていれば 1 を引いた半クロックカウント値を算出して求めた半クロックカウント値を前記サンプリング周波数検出信号で示されるサンプリング周波数ごとに予め定めたテーブルと比較することで変調周期の 1 T、2 T、3 T の判定信号を出力する判定回路と、

10

20

30

40

50

前記判定信号を入力し、前記プリアンプルのパターンを検出してプリアンプル検出信号を出力するプリアンプル検出回路と、

前記プリアンプル検出信号と判定信号とを入力し、プリアンプル検出信号をタイミング基準にして判定信号からデジタルオーディオ信号を復調して出力するバイフェーズ復調回路とを有するデジタルオーディオインターフェース信号復調回路。

【請求項 4】 デジタルオーディオ信号にプリアンプルび付加情報を付加し、バイフェーズ変調して伝送されるデジタルオーディオインターフェース信号の復調を行う復調回路であって、

前記デジタルオーディオインターフェース信号を入力し、前記基準クロックでデジタルオーディオインターフェース信号を打ち抜いた第 1 の打ち抜き信号と、前記第 1 の打ち抜き信号をさらに前記基準クロックで打ち抜いた第 2 の打ち抜き信号と、前記基準クロックの反転クロックでデジタルオーディオインターフェース信号を打ち抜いてさらに基準クロックで打ち抜いた第 1 の反転打ち抜き信号と、第 1 の反転打ち抜き信号をさらに基準クロックで打ち抜いた第 2 の反転打ち抜き信号とを生成し、第 1 の打ち抜き信号と第 1 の反転打ち抜き信号と第 2 の打ち抜き信号とを加算して第 1 のキャリア信号を求め、第 1 の反転打ち抜き信号と第 2 の打ち抜き信号と第 2 の反転打ち抜き信号とを加算して第 2 のキャリア信号を求め、第 1 のキャリア信号のエッジを検出してエッジ検出信号を出力し、第 1 のキャリア信号と第 2 のキャリア信号との排他的論理和をとった後半検出信号を出力するノイズ除去付エッジ検出回路と、

前記エッジ検出信号を入力し、復調が必要な全てのサンプリング周波数の 3 T 信号に相当するエッジ検出信号の信号幅を検出し、各々の周期がサンプリング周波数の 2 倍の周期かどうかによって、サンプリング周波数検出信号を出力する周波数検出回路と、

前記エッジ検出信号と前記後半検出信号と前記サンプリング周波数検出信号とを入力し、エッジ検出信号が入力されるごとに前記基準クロックでエッジ検出信号をカウントした値を求め、この値を 2 倍した値に対し、後半検出信号が入力されていれば 1 を加え、さらに直前の後半検出信号が入力されていれば 1 を引いた半クロックカウント値を算出して求めた半クロックカウント値を前記サンプリング周波数検出信号で示されるサンプリング周波数ごとに予め定めたテーブルと比較することで変調周期の 1 T、2 T、3 T の判定信号を出力する判定回路と、前記判定信号を入力し、前記プリアンプルのパターンを検出してプリアンプル検出信号を出力するプリアンプル検出回路と、

前記プリアンプル検出信号と判定信号とを入力し、プリアンプル検出信号をタイミング基準にして判定信号からデジタルオーディオ信号を復調して出力するバイフェー

ズ復調回路とを有するデジタルオーディオインターフェース信号復調回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、デジタルオーディオ機器間でデータの伝送に使用されるデジタルオーディオインターフェース信号を受信し、デジタルオーディオ信号を復調するデジタルオーディオインターフェース信号復調回路に関するものである。

【0002】

【従来の技術】 コンパクトディスク (CD)、デジタルオーディオテープレコーダ (DAT)、ミニディスク (MD) などのデジタルオーディオ機器間でデジタルデータの伝送を行う規格として IEC-958「デジタルオーディオインターフェース」がある。この規格の概要について以下に説明する。

【0003】 図 9 はデジタルオーディオインターフェース規格の概要を示すタイミング図である。図はこの規格のサブフレームと呼ばれるデータの単位の構成を示している。各サブフレームは 32 ビットから構成され、その内容は 4 ビットのプリアンプル、4 ビットの予備ビット、20 ビットのオーディオサンプル情報、4 ビットの付加情報からなる。付加情報はパリティフラグ V、ユーザビット U、チャンネルステータス C、パリティ P からなる。

【0004】 CD や DAT の 1 サンプルのオーディオデータは左チャンネルと右チャンネルの 2 チャンネルからなるので、チャンネル 1 とチャンネル 2 のサブフレーム 2 つが組になって 1 サンプルを構成し、この 2 つぶんのサブフレームの周期がちょうどサンプリング周波数分の 1 に相当する。

【0005】 プリアンプルは伝送時のサブフレームの同期を示すためのもので、ユニークなパターンとするために 3 T を先頭に含む変調を行い、B、M、W の 3 種類のパターンを用いて、それぞれ付加情報の同期のための 192 サンプルのブロックの先頭とチャンネル 1 とチャンネル 2 とを示している。

【0006】 オーディオサンプル情報、予備ビットおよび付加情報はバイフェーズマーク変調されており 1 T と 2 T のみで構成されている。

【0007】 この規格に基づく信号を受信する回路として、特開平 1-49177 や特開平 2-7720 などのデジタルオーディオインターフェース信号復調回路がある。

【0008】 このような従来のデジタルオーディオインターフェース信号復調回路について以下に説明する。

【0009】 図 10 はデジタルオーディオインターフェース信号を復調する従来の復調回路のブロック図である。以下、図 10 にしたがってその動作を説明する。

【0010】 101 はプリアンプル検出回路である。デ

ジタルオーディオインターフェース信号s1001の中の3T周期信号を検出しプリアンプ検出信号s1002を出力する。

【0011】102はPLL回路である。プリアンプ検出信号s1002に位相がロックし、周波数が32倍の同期クロックs1003を出力する。

【0012】103はバイフェーズ復調回路である。同期クロックs1003を用いてデジタルオーディオインターフェース信号s1001のバイフェーズ復調を行い、デジタルオーディオ信号s1004を出力する。 10

【0013】図11は従来の復調回路の動作タイミング図である。以下、図11にしたがって動作の詳細を説明する。

【0014】プリアンプ検出回路101は、デジタルオーディオインターフェース信号s1001の最小反転間隔より短い周期の基準クロックs1000で2.5T以上の反転間隔を検出し、プリアンプ検出信号s1002を出力する。

【0015】PLL回路102はVCOを用いてフェーズロックドループ(PLL)を構成し、VCOの32分 20 周とプリアンプ検出信号s1002とを位相比較して32倍の周波数の同期クロックs1003を出力する。

【0016】バイフェーズ復調回路は、同期クロックs1003でデジタルオーディオインターフェース信号を打ち抜いて、直前と異なるなら1、一致するなら0を出力することでデジタルオーディオ信号s1004を出力する。

【0017】以上のように、プリアンプを検出してアナログPLLを用いてデジタルオーディオインターフェース信号に同期したクロックを生成することでバイフェ 30 ィーズマーク信号の復調を行う。

【0018】

【発明が解決しようとする課題】しかしながら、上記従来のデジタルオーディオ信号復調回路では、同期クロックを生成するためにPLLが必要であり、VCOやローパスフィルタなどのアナログ回路が含まれる。また、基準クロックとPLLクロックと2つの非同期なクロックが必要となるなどの課題があった。これらは、特にLSI化時の安定性や信頼性の確保、小型化、テストの容易性などに障害となっていた。 40

【0019】本発明は上記従来の課題を解決するもので、PLLを使わず、入力されるデジタルオーディオインターフェース信号とは必ずしも同期しない比較的低い周波数の基準クロックで、デジタルオーディオインターフェース信号を復調することのできる回路を提供することを目的とする。

【0020】

【課題を解決するための手段】この目的を達成するために本発明のデジタルオーディオインターフェース信号復調回路は、基準クロックの正負両方のエッジでデジタル 50

オーディオインターフェース信号のエッジ検出を行い、この出力から基準クロックの半クロックでのカウント値を求め、このカウント値からテーブル判定によって復調出力を得る構成とすることにより、PLLを使わずに低い周波数の基準クロックだけで精度の高い復調を行うことができる。

【0021】

【発明の実施の形態】本発明のデジタルオーディオインターフェース信号復調回路は、前記デジタルオーディオインターフェース信号を入力し、入力信号の最小反転周期の半分より短い周期でかつ入力信号とは必ずしも同期しない基準クロックでデジタルオーディオインターフェース信号を打ち抜いた第1の打ち抜き信号と、前記基準クロックの反転クロックでデジタルオーディオインターフェース信号を打ち抜きさらに基準クロックで打ち抜いた第1の反転打ち抜き信号とを生成し、第1の打ち抜き信号のエッジを検出してエッジ検出信号を出力し、第1の打ち抜き信号と第1の反転打ち抜き信号との排他的論理和をとった後半検出信号を出力するエッジ検出回路と、前記エッジ検出信号と前記後半検出信号とを入力し、エッジ検出信号が入力されるごとに前記基準クロックでエッジ検出信号をカウントした値を求め、この値を2倍した値に対し、後半検出信号が入力されていれば1を加え、さらに直前の後半検出信号が入力されていれば1を引いた半クロックカウント値を算出し、半クロックカウント値を予め定めたテーブルと比較することで変調周期の1T、2T、3Tの判定信号を出力する判定回路と、前記判定信号を入力し、前記プリアンプのパターンを検出してプリアンプ検出信号を出力するプリアンプ検出回路と、前記プリアンプ検出信号と判定信号とを入力し、プリアンプ検出信号をタイミング基準にして判定信号からデジタルオーディオ信号を復調して出力するバイフェーズ復調回路とを有する。

【0022】また、本発明のデジタルオーディオインターフェース信号復調回路は、前記デジタルオーディオインターフェース信号を入力し、前記基準クロックでデジタルオーディオインターフェース信号を打ち抜いた第1の打ち抜き信号と、前記第1の打ち抜き信号をさらに前記基準クロックで打ち抜いた第2の打ち抜き信号と、前記基準クロックの反転クロックでデジタルオーディオインターフェース信号を打ち抜いてさらに基準クロックで打ち抜いた第1の反転打ち抜き信号と、第1の反転打ち抜き信号をさらに基準クロックで打ち抜いた第2の反転打ち抜き信号とを生成し、第1の打ち抜き信号と第1の反転打ち抜き信号と第2の打ち抜き信号とを加算して第1のキャリア信号を求め、第1の反転打ち抜き信号と第2の打ち抜き信号と第2の反転打ち抜き信号とを加算して第2のキャリア信号を求め、第1のキャリア信号のエッジを検出してエッジ検出信号を出力し、第1のキャリア信号と第2のキャリア信号との排他的論理和をとった

後半検出信号を出力するノイズ除去付きエッジ検出回路と、前記エッジ検出信号と前記後半検出信号とを入力し、エッジ検出信号が入力されるごとに前記基準クロックでエッジ検出信号をカウントした値を求め、この値を2倍した値に対し、後半検出信号が入力されていれば1を加え、さらに直前の後半検出信号が入力されていれば1を引いた半クロックカウント値を算出して求めた半クロックカウント値を予め定めたテーブルと比較することで変調周期の1T、2T、3Tの判定信号を出力する判定回路と、前記判定信号を入力し、前記プリアンプの

パターンを検出してプリアンプ検出信号を出力するプリアンプ検出回路と、前記プリアンプ検出信号と判定信号とを入力し、プリアンプ検出信号をタイミング基準にして判定信号からデジタルオーディオ信号を復調して出力するバイフェーズ復調回路とを有する。

【0023】また、本発明のデジタルオーディオインターフェース信号復調回路は、前記デジタルオーディオインターフェース信号を入力し、入力信号の最小反転周波数より高い周波数でかつ入力信号とは必ずしも同期しない基準クロックでデジタルオーディオインターフェース信号を打ち抜いた第1の打ち抜き信号と、前記基準クロックの反転クロックでデジタルオーディオインターフェース信号を打ち抜きさらに基準クロックで打ち抜いた第1の反転打ち抜き信号とを生成し、第1の打ち抜き信号のエッジを検出してエッジ検出信号を出力し、第1の打ち抜き信号と第1の反転打ち抜き信号との排他的論理和をとった後半検出信号を出力するエッジ検出回路と、前記エッジ検出信号を入力し、復調が必要な全てのサンプリング周波数の3T信号に相当するエッジ検出信号の信号幅を検出し、各々の周期がサンプリング周波数の2倍の周期かどうかによって、サンプリング周波数検出信号を出力する周波数検出回路と、前記エッジ検出信号と前記後半検出信号と前記サンプリング周波数検出信号とを入力し、エッジ検出信号が入力されるごとに前記基準クロックでエッジ検出信号をカウントした値を求め、この値を2倍した値に対し、後半検出信号が入力されていれば1を加え、さらに直前の後半検出信号が入力されていれば1を引いた半クロックカウント値を算出して求めた半クロックカウント値を前記サンプリング周波数検出信号で示されるサンプリング周波数ごとに予め定めたテーブルと比較することで変調周期の1T、2T、3Tの判定信号を出力する判定回路と、前記判定信号を入力し、前記プリアンプのパターンを検出してプリアンプ検出信号を出力するプリアンプ検出回路と、前記プリアンプ検出信号と判定信号とを入力し、プリアンプ検出信号をタイミング基準にして判定信号からデジタルオーディオ信号を復調して出力するバイフェーズ復調回路とを有する。

【0024】また、本発明のデジタルオーディオインターフェース信号復調回路は、前記デジタルオーディオ

ンターフェース信号を入力し、前記基準クロックでデジタルオーディオインターフェース信号を打ち抜いた第1の打ち抜き信号と、前記第1の打ち抜き信号をさらに前記基準クロックで打ち抜いた第2の打ち抜き信号と、前記基準クロックの反転クロックでデジタルオーディオインターフェース信号を打ち抜いてさらに基準クロックで打ち抜いた第1の反転打ち抜き信号と、第1の反転打ち抜き信号をさらに基準クロックで打ち抜いた第2の反転打ち抜き信号とを生成し、第1の打ち抜き信号と第1の反転打ち抜き信号と第2の打ち抜き信号とを加算して第1のキャリア信号を求め、第1の反転打ち抜き信号と第2の打ち抜き信号と第2の反転打ち抜き信号とを加算して第2のキャリア信号を求め、第1のキャリア信号のエッジを検出してエッジ検出信号を出力し、第1のキャリア信号と第2のキャリア信号との排他的論理和をとった後半検出信号を出力するノイズ除去付きエッジ検出回路と、前記エッジ検出信号を入力し、復調が必要な全てのサンプリング周波数の3T信号に相当するエッジ検出信号の信号幅を検出し、各々の周期がサンプリング周波数の2倍の周期かどうかによって、サンプリング周波数検出信号を出力する周波数検出回路と、前記エッジ検出信号と前記後半検出信号と前記サンプリング周波数検出信号とを入力し、エッジ検出信号が入力されるごとに前記基準クロックでエッジ検出信号をカウントした値を求め、この値を2倍した値に対し、後半検出信号が入力されていれば1を加え、さらに直前の後半検出信号が入力されていれば1を引いた半クロックカウント値を算出して求めた半クロックカウント値を前記サンプリング周波数検出信号で示されるサンプリング周波数ごとに予め定めたテーブルと比較することで変調周期の1T、2T、3Tの判定信号を出力する判定回路と、前記判定信号を入力し、前記プリアンプのパターンを検出してプリアンプ検出信号を出力するプリアンプ検出回路と、前記プリアンプ検出信号と判定信号とを入力し、プリアンプ検出信号をタイミング基準にして判定信号からデジタルオーディオ信号を復調して出力するバイフェーズ復調回路とを有する。

【0025】以下、本発明の実施の形態について、図面を参照しながら説明する。

(実施の形態1) 図1は本発明の一実施の形態におけるデジタルオーディオインターフェース信号復調回路のブロック図である。以下、図1にしたがってその動作を説明する。

【0026】1はエッジ検出回路である。基準クロックs100の正エッジでデジタルオーディオ信号s101のエッジを検出したエッジ検出信号s102と、基準クロックs100の後半にデジタルオーディオインターフェース信号s101のエッジがあったことを示す後半検出信号s103を出力する。

【0027】2は判定回路である。エッジ検出信号s1

02が入力されるごとに基準クロックs100でエッジ検出信号の間隔をカウントした値を求め、この値を2倍した値に対し、後半検出信号s103が入力されていれば1を加え、さらに直前の後半検出信号が入力されていれば1を引いた半クロックカウント値を算出する。この半クロックカウント値を予め定めたテーブル、例えば4から9、あるいは10から15、あるいは16から22と比較することでそれぞれ1T、2T、3Tを判定し、判定信号s104を出力する。

【0028】3はプリアンプル検出回路である。1T、2T、3Tの判定信号s104から、3113、3311、3212の3種類のいずれかの判定信号列を検出するとプリアンプル検出信号s105を出力する。

【0029】4はバイフェーズ復調回路である。プリアンプル検出信号s105を基準にして、判定信号から2Tが入力されると0を、1Tが連続して2回出力されると1を出力することで、デジタルオーディオ信号s106を復調し出力する。

【0030】基準クロックはs100は、デジタルオーディオインターフェース信号s101の最小反転周期(1T)の半分より高い任意の周波数でよい。例えば16.9344MHzのようなクロックを使うことができる。

【0031】図2はエッジ検出回路1の回路図の一例である。

【0032】デジタルオーディオインターフェース信号s101を基準クロックs100の正エッジで打ち抜いた信号をq1とし、基準クロックs100の負エッジで打ち抜いた信号を正エッジで打ち直した信号をnq1とすると、エッジ検出信号s102はq1とq1を正エッジで打ち抜いた信号との排他的論理和で生成される。また、後半検出信号s103はq1とnq1との排他的論理和で生成される。

【0033】図3はエッジ検出回路1と判定回路2の動作タイミング図である。以下、図3を参照しながら動作の詳細を説明する。

【0034】基準クロックs100に対し、デジタルオーディオインターフェース信号s101が図のA、B、C、D、Eのように基準クロックs100の半クロックで数えてそれぞれ6、7、6、7、12のように入力されたとする。エッジ検出回路1では基準信号s100の正エッジで打ち抜いた信号と負エッジで打ち抜いて正エッジで打ち抜きなおした信号はそれぞれq1とnq1のような波形になる。q1のエッジを検出したエッジ検出信号s102は図のようにエッジごとに出力される。q1とnq1の排他的論理和から求めた後半検出信号s103は図のB、Cのように基準クロックの後半に遷移がある場合に出力される。

【0035】判定回路2ではs102のエッジ間隔のカウント値c(t)と後半検出信号s103の値p(t)

と前回の後半検出信号の値p(t-1)から、半クロックカウント値n(t)は、次式で与えられる。

$$【0036】 n(t) = -p(t-1) + 2 \times c(t) + p(t)$$

ただし、pは1または0。したがって、Aの入力に対しては、カウント値が3で後半検出信号s103は立っていないためn=6。Bの入力に対しては、カウント値が3で後半検出信号s103が今回立ったためn=7。Cの入力に対しては、カウント値が3で後半検出信号s103が両方立っているためn=6。同様に、Dはn=7。Eはn=12となる。これらの値は、テーブル判定によりそれぞれ1T、1T、1T、1T、2Tのように判定信号s104として出力される。

【0037】図4はプリアンプル検出回路3とバイフェーズ復調回路4の動作タイミング図である。以下、図4を参照しながら動作の詳細を説明する。

【0038】プリアンプル検出回路3は判定信号s104から、3113、3311、3212の3種類のいずれかのプリアンプルのパターンを検出してプリアンプル検出信号s105を出力する。プリアンプル検出信号s105は、プリアンプルパターンを検出するとLレベルになり、デジタルオーディオインターフェース信号の28ビット目を過ぎるとHレベルにすることで生成する。L期間がバイフェーズマーク変調された部分になる。

【0039】バイフェーズ復調回路4は、プリアンプル検出信号s105がLレベルになった所から、2Tなら0を、1Tが2連続で1を出力することで復調データを得る。この復調データからオーディオデータを分離してデジタルオーディオ信号s106を出力する。

【0040】以上のように本発明によれば、基準クロックの正負両方のエッジでデジタルオーディオインターフェース信号のエッジ検出を行い、この出力から基準クロックの半クロックでのカウント値を求め、このカウント値からテーブル判定によって復調出力を得る構成とすることにより、PLLを使わずに低い周波数の基準クロックだけで復調を行うことができる。(実施の形態2)図5は本発明の一実施の形態におけるデジタルオーディオインターフェース信号復調回路のブロック図である。以下、図5にしたがってその動作を説明する。

【0041】51はノイズ除去付きエッジ検出回路である。基準クロックs100の正、負、正の3つのエッジでデジタルオーディオ信号s101のエッジを検出した信号を多数決判定した信号のエッジを検出するエッジ検出信号s102と、基準クロックs100の負、正、負の3つのエッジでデジタルオーディオインターフェース信号s101のエッジを検出した信号を多数決判定した信号から、エッジ変化の中心が基準クロックs100の後半であったことを示す後半検出信号s103を出力する。

【0042】52は周波数検出回路である。復調が必要

な全てのサンプリング周波数、例えば32kHz、44.1kHz、48kHzのそれぞれの3T信号に相当するエッジ検出信号の信号幅を検出し、各々の周期がサンプリング周波数の2倍の周期かどうかによって、32kHzか44.1kHzか48kHzかを検出しサンプリング周波数検出信号s107を出力する。

【0043】2は判定回路である。エッジ検出信号s102が入力されるごとに基準クロックs100でエッジ検出信号の間隔をカウントした値を求め、この値を2倍した値に対し、後半検出信号s103が入力されてい
10 ば1を加え、さらに直前の後半検出信号が入力されてい
れば1を引いた半クロックカウント値を算出する。この半クロックカウント値を、サンプリング周波数検出信号s107の示すサンプリング周波数ごとに予め定めた判定テーブルと比較することでそれぞれ1T、2T、3Tを判定し、判定信号s104を出力する。

【0044】3はプリアンプ検出回路である。1T、2T、3Tの判定信号s104から、3113、3311、3212の3種類のいずれかの判定信号列を検出するとプリアンプ検出信号s105を出力する。

【0045】4はバイフェーズ復調回路である。プリアンプ検出信号s105を基準にして、判定信号から2Tが入力されると0を、1Tが連続して2回出力されると1を出力することで、デジタルオーディオ信号s106を復調し出力する。

【0046】基準クロックはs100は、デジタルオーディオインターフェース信号s101の最小反転周期(1T)の半分より高い任意の周波数でよい。例えば16.9344MHzのようなクロックを使うことができる。

【0047】図6はノイズ除去付きエッジ検出回路51の回路図の一例である。

【0048】デジタルオーディオインターフェース信号s101を基準クロックs100の正エッジで打ち抜いた信号をq1とし、これをさらに正エッジで打ち抜いた信号をq2とする。また、基準クロックs100の負エッジで打ち抜いた信号を正エッジで打ち直した信号をnq1とし、これをさらに正エッジで打ち抜いた信号をnq2とする。q1とnq1とq2とをフルアダーで加算してキャリアc1を求め、nq1とq2とnq2とをフルアダーで加算してキャリアc2を求める。エッジ検出信号s102はc1とc2を正エッジで打ち抜いた信号との排他的論理和で生成される。また、後半検出信号s103はc1とc2との排他的論理和で生成される。

【0049】図7はノイズ除去付きエッジ検出回路51と判定回路2の動作タイミング図である。以下、図7を参照しながら動作の詳細を説明する。

【0050】基準クロックs100に対し、デジタルオーディオインターフェース信号s101が図のA、B、C、D、Eのように入力されたとする。これはAとBお
50

よびCとDの間のエッジで信号のバタつきがあり、Eの中央でヒゲ状のノイズが入っている場合の例である。

【0051】ノイズ除去付きエッジ検出回路51では基準信号s100の正エッジで打ち抜いた信号と負エッジで打ち抜いて正エッジで打ち抜きなおした信号はそれぞれq1とnq1のような波形になる。q1およびnq1をさらに正エッジで打ち抜いた信号はそれぞれq2とnq2である。q1とnq1とq2とをフルアダーで加算したキャリア出力c1は、3つの信号のどれか2つ以上がHレベルの時Hになる多数決出力となっている。nq1とq2とnq2とをフルアダーで加算したキャリア出力c2も同様である。理解を助けるためにもう少し説明を加えると、c1とc2は図7のデジタルオーディオインターフェース信号s101を基準クロックs100に対して半クロック遅らせた時のq1とnq1と同じ波形になっている。これはノイズ付きエッジ検出回路51の上述の動作が基準クロックs100の半クロックずつ遅れた3点での平均をとっていることに相当するため、ノイズがないエッジは半クロック遅れたところに平均が来るためである。c1のエッジを検出したエッジ検出信号s102は図のようにエッジごとに出力される。c1とc2の排他的論理和から求めた後半検出信号s103は図のA、D、Eのように3点の平均の遷移が基準クロックの後半に来る場合に出力される。

【0052】判定回路2ではs102のエッジ間隔のカウント値c(t)と後半検出信号s103の値p(t)と前回の後半検出信号の値p(t-1)から、半クロックカウント値n(t)は、次式で与えられる。

$$\text{【0053】 } n(t) = -p(t-1) + 2 \times c(t) + p(t)$$

ただし、pは1または0。したがって、Aの入力に対しては、カウント値が3で後半検出信号s103は両方立っているためn=6。Bの入力に対しては、カウント値が4で後半検出信号s103が前回のみに立っていたためn=7。Cの入力に対しては、カウント値が3で後半検出信号s103が両方立っていないためn=6。同様に、Dはn=7。Eはn=12となる。

【0054】周波数検出回路52は、エッジ検出信号s102から復調が必要な全てのサンプリング周波数の3T信号に相当する信号幅を検出する。例えば、32kHz用には11から15、44.1kHzと48kHz用には8から10の信号幅を検出する。各々の周期がサンプリング周波数の2倍の周期かどうかによって、32kHzか44.1kHzか48kHzかを検出しサンプリング周波数検出信号s107を出力する。なお、3T信号を検出するのに、判定回路2の半クロックカウント値n(t)を用いる形態としてもよい。

【0055】図8は判定回路2の判定テーブルの一例を示す。図7で判定回路2で求めた半クロックカウント値nは、周波数検出回路52から出力されるサンプリング

周波数検出信号s107にしたがって、図8の32kHzから48kHzまでのいずれかのテーブルを用いて判定される。例えば44.1kHzとすると、判定テーブルによりそれぞれ1T、1T、1T、1T、2Tのように判定され、判定信号s104として出力される。

【0056】プリアンプ検出回路3とバイフェーズ復調回路4の動作は、実施の形態1と全くおなじである。プリアンプ検出回路3は判定信号s104から、3113、3311、3212の3種類のいずれかのプリアンプのパターンを検出してプリアンプ検出信号s105を出力する。プリアンプ検出信号s105は、プリアンプパターンを検出するとLレベルになり、デジタルオーディオインターフェース信号の28ビットを過ぎるとHレベルにすることで生成する。L期間がバイフェーズマーク変調された部分になる。

【0057】バイフェーズ復調回路4は、プリアンプ検出信号s105がLレベルになった所から、2Tなら0を、1Tが2連続で1を出力することで復調データを得る。この復調データからオーディオデータを分離してデジタルオーディオ信号s106を出力する。

【0058】以上のように本発明によれば、エッジ検出回路に加算回路を付加することにより、デジタルオーディオインターフェース信号のエッジや信号の途中に多少のノイズがあっても、正しいデジタルオーディオ信号を復調することができる。

【0059】また、本発明によれば、エッジ検出信号の3Tの周期によって、判定テーブルを切り換えることで、各種のサンプリング周波数のデジタルオーディオインターフェース信号の復調を行うことができる。また、テーブルに幅を持たせたことで、デジタルオーディオ信号の周波数偏差やデューティずれに対する耐性も有している。

【0060】

【発明の効果】以上のように本発明は、基準クロックの正負両方のエッジを使ってデジタルオーディオインターフェース信号のエッジ検出を行い、この出力から基準ク*

*ロックの半クロックでのカウント値を求め、このカウント値からテーブル判定によって復調出力を得る構成とすることにより、PLLを使わずに低い周波数の基準クロックだけで復調を行うことができる。

【0061】PLLやLPFなどのアナログ回路が不要となることで、回路が小型化でき、動作が安定なデジタルオーディオインターフェース信号復調回路を実現できる。

【図面の簡単な説明】

【図1】本発明の一実施の形態におけるデジタルオーディオインターフェース信号復調回路のブロック図。

【図2】エッジ検出回路1の回路図の一例を示す図。

【図3】エッジ検出回路1と判定回路2の動作タイミング図。

【図4】プリアンプ検出回路3とバイフェーズ復調回路4の動作タイミング図。

【図5】本発明の一実施の形態におけるデジタルオーディオインターフェース信号復調回路のブロック図。

【図6】ノイズ除去付きエッジ検出回路51の回路図の一例を示す図。

【図7】ノイズ除去付きエッジ検出回路51と判定回路2の動作タイミング図。

【図8】判定回路2の判定テーブルの一例を示す図。

【図9】デジタルオーディオインターフェース規格の概要を示すタイミング図。

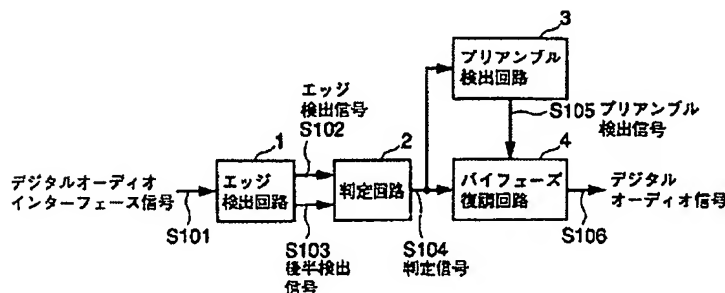
【図10】デジタルオーディオインターフェース信号を復調する従来の復調回路のブロック図。

【図11】従来の復調回路の動作タイミング図。

【符号の説明】

- 1 エッジ検出回路
- 2 判定回路
- 3 プリアンプ検出回路
- 4 バイフェーズ復調回路
- 51 ノイズ除去付きエッジ検出回路
- 52 周波数検出回路

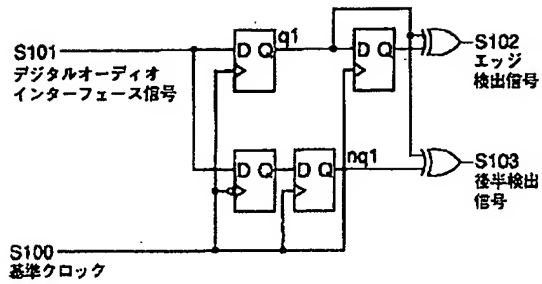
【図1】



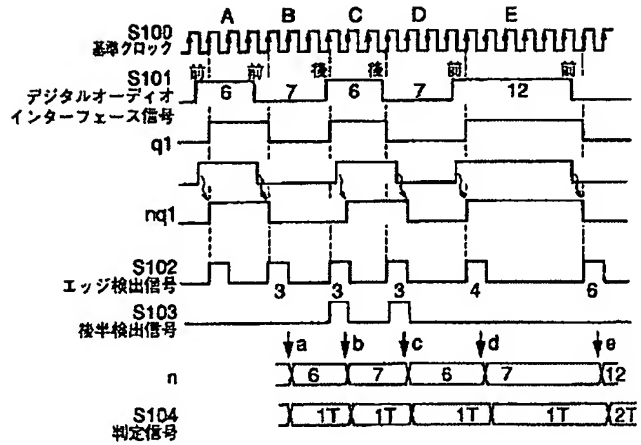
【図8】

	32K	44.1K	48K
1T	5~13	4~9	4~9
2T	14~21	10~15	10~14
3T	22~30	16~22	15~20

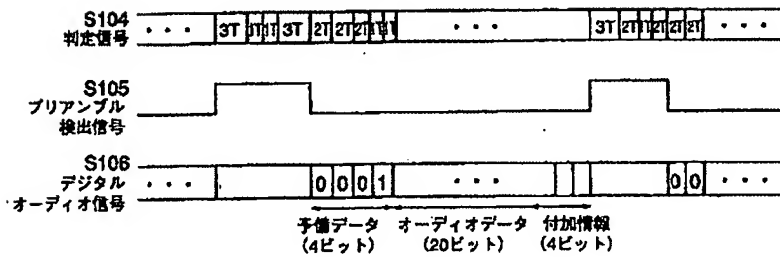
【図2】



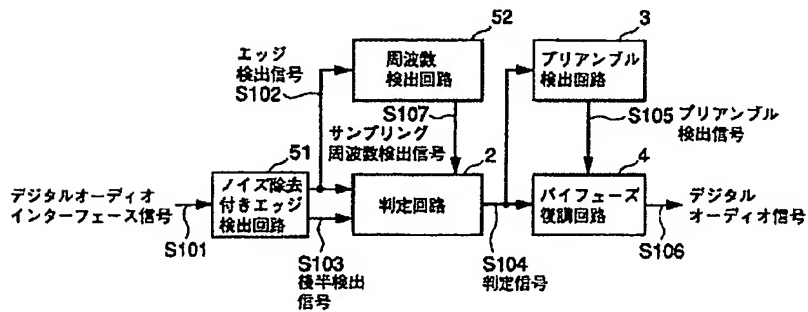
【図 3】



【図 4】



【図5】

デジタルオーディオ
インターフェース信

S103
樓半檢出
信号

S104
判定信号

S106

デジタル
オーディオ信号

—S105 プリアンプル
検出信号

2

1

1

52

1)

1

—

S103

大田田子

S102

Figure 1 is a block diagram of the digital audio interface circuit. The circuit has two main inputs: S101 (デジタルオーディオインターフェース信号) and S100 (基準クロック). The circuit is composed of several blocks: two D flip-flops (DQ), two adders (+c1 and +c2), and two OR gates. The signal S101 is connected to the D inputs of the first two D flip-flops. The clock signal S100 is connected to the clock inputs of all four D flip-flops. The outputs of the first two D flip-flops are connected to the inputs of the adders (+c1 and +c2). The outputs of the adders are connected to the D inputs of the next two D flip-flops. The outputs of these final two D flip-flops are connected to the inputs of two OR gates. The outputs of the OR gates are labeled S102 (エッジ検出信号) and S103 (後半検出信号).

The diagram illustrates the timing relationship between the digital audio interface signals and the resulting digital audio data. The signals are labeled as follows:

- S100**: 基準クロック (Reference Clock)
- S101**: デジタルオーディオインターフェース信号 (Digital Audio Interface Signal)
- S102**: エッジ検出信号 (Edge Detection Signal)
- S103**: 後半検出信号 (Second Half Detection Signal)

The diagram shows the relationship between these signals and the resulting digital audio data (q1, nq1, nq2, q2) and edge detection signals (c1, c2). The signals are labeled as follows:

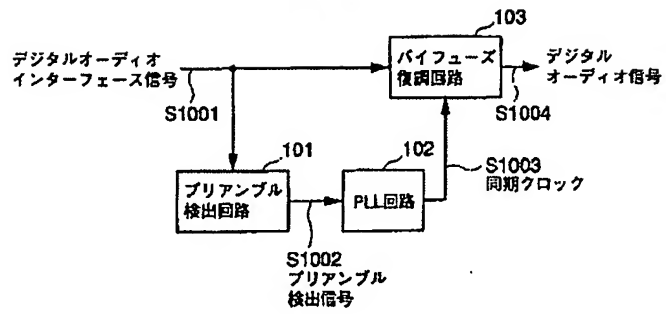
- q1**: Digital audio data signal.
- nq1**: Digital audio data signal (negative).
- nq2**: Digital audio data signal (negative).
- q2**: Digital audio data signal.
- c1**: Edge detection signal.
- c2**: Edge detection signal.

The diagram also shows the relationship between the digital audio data and the edge detection signals. The signals are labeled as follows:

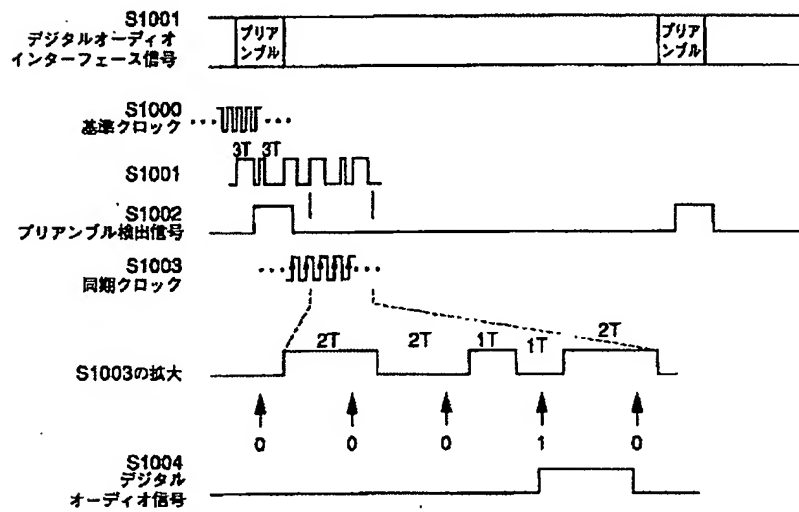
- a**: Edge detection signal.
- b**: Edge detection signal.
- c**: Edge detection signal.
- d**: Edge detection signal.
- e**: Edge detection signal.

Figure 1: Format of the data stream. The diagram illustrates the structure of the data stream, showing a sequence of channels (Bチャンネル1, Wチャンネル2, Mチャンネル1, Wチャンネル2, Mチャンネル1, Wチャンネル2) and a detailed view of the frame structure. The frame structure includes a preamble (プリアンプル) and audio data (オーディオデータ (20ビット)). The frame is divided into sections: (4) 4, 20, and 1 (付加情報). The frame structure is shown as a sequence of bits: 3T, 1, 1, 3T, 0, 0, 0, 0, 0, 1, 0, 0, 1, 0, followed by dots. The frame is labeled with B:3113, M:3311, W:3212, and 0:2, 1:11. The frame is also labeled with V, U, and C. The frame is preceded by a section labeled プリ アンプル. The frame is followed by a section labeled バイフェーズ・マーク変調.

【図10】



【図11】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-105976

(43)Date of publication of application : 11.04.2000

(51)Int.Cl.

G11B 20/10

(21)Application number : 10-274054

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 28.09.1998

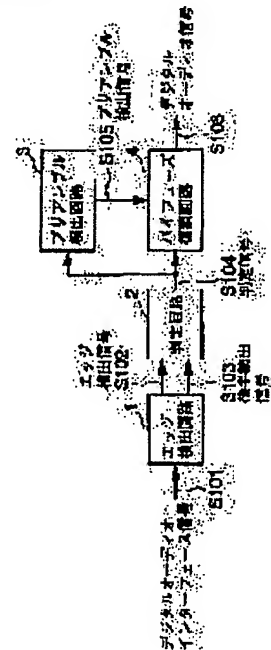
(72)Inventor : NAKAJIMA KOJI
EMA NORIYUKI

(54) DIGITAL AUDIO INTERFACE SIGNAL DEMODULATING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the circuit capable of demodulating a digital audio interface signal with a reference clock having a relatively low frequency and being not necessarily synchronized with a digital audio interface signal to be inputted without using a PLL (phase-locked loop).

SOLUTION: This circuit is provided with an edge detecting circuit 1 performing the edge detection of the digital audio interface signal with both of positive edges and negative edges of the reference clock, a decision circuit 2 which obtains a count value by the half clock of the reference clock from the output of the circuit 1 and which decides 1 to 3Ts by a table decision from this count value, a circuit 3 detecting preambles and a biphase demodulation circuit 4 performing a biphase demodulation from 1, 2Ts and the circuit can realize a demodulation circuit without using the PLL.



Japanese Kokai Patent Application No. P2000-105976A

Job No.: 228-120133 Ref.: Japanese 2000-105976/PU020292 JP/BJD(Joan)/Order No. 8564
Translated from Japanese by the McElroy Translation Company
800-531-9977 customerservice@mcelroytranslation.com

JAPANESE PATENT OFFICE
PATENT JOURNAL
KOKAI PATENT APPLICATION NO. P2000-105976A

Int. Cl. ⁷ :	G 11 B 20/10
Filing No.:	Hei 10[1998]-274054
Filing Date:	September 28, 1998
Publication Date:	April 11, 2000
No. of Claims:	4 (Total of 11 pages; OL)
Examination Request:	Not filed

DIGITAL AUDIO INTERFACE SIGNAL DEMODULATION CIRCUIT

Inventors:	Yasushi Nakajima Matsushita Electric Industrial Co., Ltd. 1006 Oaza Kadoma, Kadoma-shi, Osaka Noriyuki Ema Matsushita Electric Industrial Co., Ltd. 1006 Oaza Kadoma, Kadoma-shi, Osaka
Applicant:	000005821 Matsushita Electric Industrial Co., Ltd. 1006 Oaza Kadoma, Kadoma-shi, Osaka
Agent:	100092794 Masamichi Matsuda, patent attorney

[There are no amendments to this patent.]

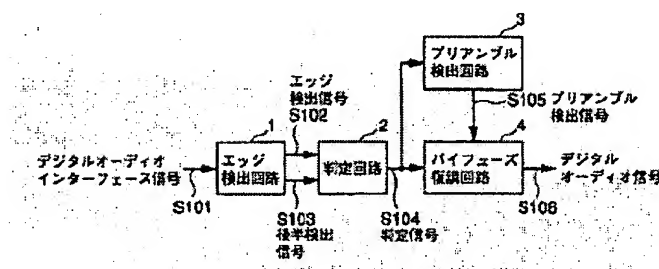
Abstract

Problem

When a circuit for demodulating a digital audio interface signal is configured using a conventional analog PLL, it creates problems in terms of stability assurance, down-sizing, and ease of testing, for example, especially when creating an LSI.

Means to solve

Detection circuit 1 that detects the edges of a digital audio interface signal at both the positive and negative edges of a reference clock, decision circuit 2 that obtains a count value based on the output of said edge detection circuit at a half-clock cycle of the reference clock and determines 1T - 3T based on said count value by means of table-based decision making, circuit 3 that detects a preamble, and biphase demodulation circuit 4 that performs biphase demodulation based on 1T and 2T are provided in order to allow realization of a demodulation circuit without using a PLL.



- Key:
- S101 Digital audio interface signal
 - S102 Edge detection signal
 - S103 Second-half detection signal
 - S104 Decision signal
 - S105 Preamble detection signal
 - S106 Digital audio signal
 - 1 Edge detection circuit
 - 2 Decision circuit
 - 3 Preamble detection circuit
 - 4 Biphase demodulation circuit

Claims

1. A digital audio interface signal demodulation circuit for demodulating a transmitted biphase-modulated digital audio interface signal that is generated by adding a preamble and additional information to a digital audio signal, wherein the demodulation circuit is equipped with an edge detection circuit that takes the aforementioned digital audio interface signal as an input, generates a first penetrated signal by penetrating the digital audio interface signal using a

reference clock that has a cycle shorter than one half of the minimum inversion cycle of the input signal but is not necessarily in sync with the input signal and a first inverted penetrated signal by penetrating the digital audio interface signal using the inverted clock of the aforementioned reference clock and further penetrating it using the reference clock, outputs an edge detection signal upon detecting an edge of the first penetrated signal, and outputs a second-half detection signal by computing the exclusive OR of the first penetrated signal and the first inverted penetrated signal;

- a decision circuit that takes the aforementioned edge detection signal and the aforementioned second-half detection signal as inputs, obtains a value by counting edge detection signals using the aforementioned reference clock every time an edge detection signal is input, adds 1 to the value obtained by doubling said value when a second-half detection signal is input or subtracts 1 when the immediately preceding second-half detection signal is input in order to compute a half-clock count value, and checks the half-clock count value against a prescribed table in order to output a modulation cycle decision signal indicating 1T, 2T, and 3T for the modulation cycle;

- a preamble detection circuit that takes the aforementioned decision signal as an input and outputs a preamble detection signal upon detecting a pattern of the aforementioned preamble; and

- a biphase demodulation circuit that takes the aforementioned preamble detection signal and the aforementioned decision signal as inputs and demodulates the digital audio signal for output based on the decision signal while using the preamble detection signal as a timing reference.

2. A digital audio interface signal demodulation circuit for demodulating a transmitted biphase-modulated digital audio interface signal that is generated by adding a preamble and additional information to a digital audio signal, wherein the demodulation circuit is equipped with an edge detection circuit with noise reduction that takes the aforementioned digital audio interface signal as an input; generates a first penetrated signal by penetrating the digital audio interface signal using the aforementioned reference clock, a second penetrated signal by further penetrating the aforementioned first penetrated signal using the aforementioned reference clock, a first inverted penetrated signal by penetrating the digital audio interface using the inverted clock of the aforementioned reference clock and further penetrating it using the reference clock, and a second inverted penetrated signal by further penetrating the first inverted penetrated signal using the reference clock; obtains a first carrier by summing the first penetrated signal, the first inverted penetrated signal, and the second penetrated signal; obtains a second carrier by summing the first inverted penetrated signal, the second penetrated signal, and the second inverted penetrated signal; outputs an edge detection signal upon detecting an edge of the first

carrier signal; and outputs a second-half detection signal by computing the exclusive OR of the first carrier signal and the second carrier signal;

- a decision circuit that takes the aforementioned edge detection signal and the aforementioned second-half detection signal as inputs, obtains a value by counting edge detection signals using the aforementioned reference clock every time an edge detection signal is input, adds 1 to the value obtained by doubling said value when a second-half detection signal is input or subtracts 1 when the immediately preceding second-half detection signal is input in order to compute a half-clock count value, and checks the obtained half-clock count value against a prescribed table in order to output a modulation cycle decision signal indicating 1T, 2T, and 3T for the modulation cycle;

- a preamble detection circuit that takes the aforementioned decision signal as an input and outputs a preamble detection signal upon detecting a pattern of the aforementioned preamble; and

- a biphase demodulation circuit that takes the aforementioned preamble detection signal and the aforementioned decision signal as inputs and demodulates the digital audio signal for output based on the decision signal while using the preamble detection signal as a timing reference.

3. A digital audio interface signal demodulation circuit for demodulating a transmitted biphase-modulated digital audio interface signal that is generated by adding a preamble and additional information to a digital audio signal, wherein the demodulation circuit is equipped with an edge detection circuit that takes the aforementioned digital audio interface signal as an input, generates a first penetrated signal by penetrating the digital audio interface signal using a reference clock that has a frequency higher than the minimum inversion frequency of the input signal but is not necessarily in sync with the input signal and a first inverted penetrated signal by penetrating the digital audio interface signal using the inverted clock of the aforementioned reference clock and further penetrating it using the reference clock, outputs an edge detection signal upon detecting an edge of the first penetrated signal, and outputs a second-half detection signal by computing the exclusive OR of the first penetrated signal and the first inverted penetrated signal;

- a frequency detection circuit that takes the aforementioned edge detection signal as an input, detects the signal width of the edge detection signal equivalent to a 3T signal at all sampling frequencies, for which demodulation is necessary, and outputs a sampling frequency detection signal based on whether the respective cycles are 2x cycles of the sampling frequencies or not;

- a decision circuit that takes the aforementioned edge detection signal, the aforementioned second-half detection signal, and the aforementioned sampling frequency

detection signal as inputs; obtains a value by counting edge detection signals using the aforementioned reference clock every time an edge detection signal is input; adds 1 to the value obtained by doubling said value when a second-half detection signal is input or subtracts 1 when the immediately preceding second-half detection signal is input in order to compute a half-clock count value; and checks the half-clock count value against a prescribed table for each sampling frequency indicated by the aforementioned sampling frequency detection signal in order to output a modulation cycle decision signal indicating 1T, 2T, and 3T for the modulation cycle;

- a preamble detection circuit that takes the aforementioned decision signal as an input and outputs a preamble detection signal upon detecting a pattern of the aforementioned preamble; and

- a biphase demodulation circuit that takes the aforementioned preamble detection signal and the aforementioned decision signal as inputs and demodulates the digital audio signal for output based on the decision signal while using the preamble detection signal as a timing reference.

4. A digital audio interface signal demodulation circuit for demodulating a transmitted biphase-modulated digital audio interface signal that is generated by adding a preamble and additional information to a digital audio signal, wherein the demodulation circuit is equipped with an edge detection circuit with noise reduction that takes the aforementioned digital audio interface signal as an input; generates a first penetrated signal by penetrating the digital audio interface signal using the aforementioned reference clock, a second penetrated signal by further penetrating the aforementioned first penetrated signal using the aforementioned reference clock, a first inverted penetrated signal by penetrating the digital audio interface using the inverted clock of the aforementioned reference clock and further penetrating it using the reference clock, and a second inverted penetrated signal by further penetrating the first inverted penetrated signal using the reference clock; obtains a first carrier by summing the first penetrated signal, the first inverted penetrated signal, and the second penetrated signal; obtains a second carrier by summing the first inverted penetrated signal, the second penetrated signal, and the second inverted penetrated signal; outputs an edge detection signal upon detecting an edge of the first carrier signal; and outputs a second-half detection signal by computing the exclusive OR of the first carrier signal and the second carrier signal;

- a frequency detection circuit that takes the aforementioned edge detection signal as an input, detects the signal width of the edge detection signal equivalent to a 3T signal at all sampling frequencies for which demodulation is necessary, and outputs a sampling frequency detection signal based on whether the respective cycles are 2x cycles of the sampling frequencies or not;

- a decision circuit that takes the aforementioned edge detection signal, the aforementioned second-half detection signal, and the aforementioned sampling frequency detection signal as inputs; obtains a value by counting edge detection signals using the aforementioned reference clock every time an edge detection signal is input; adds 1 to the value obtained by doubling said value when a second-half detection signal is input or subtracts 1 when the immediately preceding second-half detection signal is input in order to compute a half-clock count value; and checks the half-clock count value against a prescribed table for each sampling frequency indicated by the aforementioned sampling frequency detection signal in order to output a modulation cycle decision signal indicating 1T, 2T, and 3T for the modulation cycle;
- a preamble detection circuit that takes the aforementioned decision signal as an input and outputs a preamble detection signal upon detecting a pattern of the aforementioned preamble; and
- a biphase demodulation circuit that takes the aforementioned preamble detection signal and the aforementioned decision signal as inputs and demodulates the digital audio signal for output based on the decision signal while using the preamble detection signal as a timing reference.

Detailed explanation of the invention

[0001]

Technical field of the invention

The present invention pertains to a digital audio interface signal demodulation circuit that receives a digital audio interface signal, which is used to transfer data between digital audio equipment, and demodulates a digital audio signal.

[0002]

Prior art

IEC-958 "Digital audio interface" is established as a standard that is used to transfer digital data between digital audio equipment, such as compact discs (CD), digital audio tape recorders (DAT), and mini-discs (MD). An outline of this standard will be explained below.

[0003]

Figure 9 is a timing chart showing an outline of the digital audio interface standard. The figure shows the configuration of a data unit called a sub-frame used under this standard. Each sub-frame is configured using 32 bits; and its contents are a preamble of 4 bits, preparatory bits comprising 4 bits, audio sample information comprising 20 bits, and additional information

comprising 4 bits. The additional information comprises validity flag V, user bit U, channel status C, and parity P.

[0004]

Because 1 sample of audio data obtained from a CD or a DAT involve 2 channels, that is, a right channel and a left channel, 2 sub-frames from channel 1 and channel 2 are paired up to constitute 1 sample, wherein cycles of said 2 sub-frames exactly match the inverse of the sampling frequency.

[0005]

Preambles are used for showing synchronization among sub-frames during transfer. In order for them to have unique patterns, they are modulated to have 3T at the beginning; and the beginnings of blocks, channel 1, and channel 2 of 192 samples are indicated using 3 patterns B, M, and W in order to synchronize the respective pieces of additional information.

[0006]

Biphase mark modulation is applied to the audio sample information, auxiliary bits, and the additional information, whereby they are configured with only 1T and 2T.

[0007]

The digital audio interface signal demodulation circuits present in Japanese Kokai Patent Application No. Hei 1[1989]-49177 and Japanese Kokai Patent Application No. Hei 2[1990]-7720, for example, are available as circuits that can be used to receive signals that are based on said standard.

[0008]

This kind of conventional digital audio interface signal demodulation circuit will be explained below.

[0009]

Figure 10 is a block diagram of a conventional circuit that is used to demodulate a digital audio interface signal. Its operations will be explained below based on Figure 10.

[0010]

101 represents a preamble detection circuit. It detects a 3T cycle signal within digital audio interface signal s1001 and outputs preamble detection signal s1002.

[0011]

102 represents a PLL circuit. The phase is locked to preamble detection signal s1002, and sync clock s1003 with a frequency 32 times as high is output.

[0012]

103 represents a biphase demodulation circuit. It is used for biphase demodulation of digital audio interface signal s1001 using sync clock s1003 in order to output digital audio signal s1004.

[0013]

Figure 11 is a timing chart of operations performed by the conventional demodulation circuit. The operations will be explained in detail below based on Figure 11.

[0014]

Preamble detection circuit 101 detects an inversion interval of $2.5T$ or longer using reference clock s1000 with a cycle shorter than the minimum inversion interval of digital audio interface signal s1001 and outputs preamble detection signal s1002.

[0015]

PLL circuit 102 constitutes a phase-locked loop (PLL) using a VCO, whereby it performs phase comparison between $1/32$ cycle of the VCO and preamble detection signal s1002 and outputs sync clock s1003 with a frequency 32 times as high.

[0016]

The biphase demodulation circuit punches out the digital audio interface signal using sync clock s1003, whereby it outputs 0 when a difference exists from the immediately preceding [signal], or 1 when they match, in order to output digital audio signal s1004.

[0017]

A biphase mark signal is demodulated by generating a clock in sync with the digital audio interface signal using the analog PLL upon detecting the preamble in the aforementioned manner.

[0018]

Problems to be solved by the invention

However, in the case of the aforementioned conventional digital audio interface signal demodulation circuit, a PLL was required in order to generate a sync clock, and a VCO and an analog circuit such as a low-pass filter were included. Also, it had another problem of requiring a reference clock, a PLL clock, and 2 asynchronous clocks. These requirements are obstacles in terms of assurance of stability and reliability, down-sizing, and ease of testing when creating an LSI.

[0019]

The present invention was devised to solve the aforementioned conventional problems, and its objective is to present a circuit that allows demodulation of a digital audio interface signal using a reference clock with a relatively low frequency that is not necessarily synchronized with a digital audio interface signal input without requiring a PLL.

[0020]

Means to solve the problems

In order to achieve said objective, the digital audio interface signal demodulation circuit of the present invention is configured in such a manner that the edges of a digital audio interface signal are detected at both positive and negative edges of a reference clock, a count value is obtained from the resulting output at a half-clock of the reference clock, and a decision is made by checking said count value against a table in order to obtain a demodulated output, whereby high-precision demodulation can be achieved using only a low-frequency reference clock without requiring a PLL.

[0021]

Embodiment of the invention

The digital audio interface signal demodulation circuit of the present invention is equipped with an edge detection circuit that takes the aforementioned digital audio interface signal as an input, generates a first penetrated signal by penetrating the digital audio interface signal using a reference clock that has a cycle shorter than one half of the minimum inversion cycle of the input signal but is not necessarily in sync with the input signal and a first inverted penetrated signal by penetrating the digital audio interface signal using the inverted clock of the aforementioned reference clock and further penetrating it using the reference clock, outputs an edge detection signal upon detecting an edge of the first penetrated signal, and outputs a second-half detection signal by computing the exclusive OR of the first penetrated signal and the first

inverted penetrated signal; a decision circuit that takes the aforementioned edge detection signal and the aforementioned second-half detection signal as inputs, obtains a value by counting edge detection signals using the aforementioned reference clock every time an edge detection signal is input, adds 1 to the value obtained by doubling said value when a second-half detection signal is input or subtracts 1 when the immediately preceding second-half detection signal is input in order to compute a half-clock count value, and checks the half-clock count value against a prescribed table in order to output a modulation cycle decision signal indicating 1T, 2T, and 3T for the modulation cycle; a preamble detection circuit that takes the aforementioned decision signal as an input and outputs a preamble detection signal upon detecting a pattern of the aforementioned preamble; and a biphase demodulation circuit that takes the aforementioned preamble detection signal and the aforementioned decision signal as inputs and demodulates the digital audio signal for output based on the decision signal while using the preamble detection signal as a timing reference.

[0022]

In addition, the digital audio interface signal demodulation circuit of the present invention is equipped with an edge detection circuit with noise reduction that takes the aforementioned digital audio interface signal as an input; generates a first penetrated signal by penetrating the digital audio interface signal using the aforementioned reference clock, a second penetrated signal by further penetrating the aforementioned first penetrated signal using the aforementioned reference clock, a first inverted penetrated signal by penetrating the digital audio interface using the inverted clock of the aforementioned reference clock and further penetrating it using the reference clock, and a second inverted penetrated signal by further penetrating the first inverted penetrated signal using the reference clock; obtains a first carrier by summing the first penetrated signal, the first inverted penetrated signal, and the second penetrated signal; obtains a second carrier by summing the first inverted penetrated signal, the second penetrated signal, and the second inverted penetrated signal; outputs an edge detection signal upon detecting an edge of the first carrier signal; and outputs a second-half detection signal by computing the exclusive OR of the first carrier signal and the second carrier signal; a decision circuit that takes the aforementioned edge detection signal and the aforementioned second-half detection signal as inputs, obtains a value by counting edge detection signals using the aforementioned reference clock every time an edge detection signal is input, adds 1 to the value obtained by doubling said value when a second-half detection signal is input or subtracts 1 when the immediately preceding second-half detection signal is input in order to compute a half-clock count value, and checks the obtained half-clock count value against a prescribed table in order to output a modulation cycle decision signal indicating 1T, 2T, and 3T for the modulation cycle; a

preamble detection circuit that takes the aforementioned decision signal as an input and outputs a preamble detection signal upon detecting a pattern of the aforementioned preamble; and a biphase demodulation circuit that takes the aforementioned preamble detection signal and the aforementioned decision signal as inputs and demodulates the digital audio signal for output based on the decision signal while using the preamble detection signal as a timing reference.

[0023]

In addition, the digital audio interface signal demodulation circuit of the present invention is equipped with an edge detection circuit that takes the aforementioned digital audio interface signal as an input, generates a first penetrated signal by penetrating the digital audio interface signal using a reference clock that has a frequency higher than the minimum inversion frequency of the input signal but is not necessarily in sync with the input signal and a first inverted penetrated signal by penetrating the digital audio interface signal using the inverted clock of the aforementioned reference clock and further penetrating it using the reference clock, outputs an edge detection signal upon detecting an edge of the first penetrated signal, and outputs a second-half detection signal by computing the exclusive OR of the first penetrated signal and the first inverted penetrated signal; a frequency detection circuit that takes the aforementioned edge detection signal as an input, detects the signal width of the edge detection signal equivalent to a 3T signal at all sampling frequencies for which demodulation is necessary, and outputs a sampling frequency detection signal based on whether the respective cycles are 2x cycles of the sampling frequencies or not; a decision circuit that takes the aforementioned edge detection signal, the aforementioned second-half detection signal, and the aforementioned sampling frequency detection signal as inputs; obtains a value by counting edge detection signals using the aforementioned reference clock every time an edge detection signal is input; adds 1 to the value obtained by doubling said value when a second-half detection signal is input or subtracts 1 when the immediately preceding second-half detection signal is input in order to compute a half-clock count value; and checks the half-clock count value against a prescribed table for each sampling frequency indicated by the aforementioned sampling frequency detection signal in order to output a modulation cycle decision signal indicating 1T, 2T, and 3T for the modulation cycle; a preamble detection circuit that takes the aforementioned decision signal as an input and outputs a preamble detection signal upon detecting a pattern of the aforementioned preamble; and a biphase demodulation circuit that takes the aforementioned preamble detection signal and the aforementioned decision signal as inputs and demodulates the digital audio signal for output based on the decision signal while using the preamble detection signal as a timing reference.

[0024]

In addition, the digital audio interface signal demodulation circuit of the present invention is equipped with an edge detection circuit with noise reduction that takes the aforementioned digital audio interface signal as an input; generates a first penetrated signal by penetrating the digital audio interface signal using the aforementioned reference clock, a second penetrated signal by further penetrating the aforementioned first penetrated signal using the aforementioned reference clock, a first inverted penetrated signal by penetrating the digital audio interface using the inverted clock of the aforementioned reference clock and further penetrating it using the reference clock, and a second inverted penetrated signal by further penetrating the first inverted penetrated signal using the reference clock; obtains a first carrier by summing the first penetrated signal, the first inverted penetrated signal, and the second penetrated signal; obtains a second carrier by summing the first inverted penetrated signal, the second penetrated signal, and the second inverted penetrated signal; outputs an edge detection signal upon detecting an edge of the first carrier signal; and outputs a second-half detection signal by computing the exclusive OR of the first carrier signal and the second carrier signal; a frequency detection circuit that takes the aforementioned edge detection signal as an input, detects the signal width of the edge detection signal equivalent to a 3T signal at all sampling frequencies for which demodulation is necessary, and outputs a sampling frequency detection signal based on whether the respective cycles are 2x cycles of the sampling frequencies or not; a decision circuit that takes the aforementioned edge detection signal, the aforementioned second-half detection signal, and the aforementioned sampling frequency detection signal as inputs; obtains a value by counting edge detection signals using the aforementioned reference clock every time an edge detection signal is input; adds 1 to the value obtained by doubling said value when a second-half detection signal is input or subtracts 1 when the immediately preceding second-half detection signal is input in order to compute a half-clock count value; and checks the half-clock count value against a prescribed table for each sampling frequency indicated by the aforementioned sampling frequency detection signal in order to output a modulation cycle decision signal indicating 1T, 2T, and 3T for the modulation cycle; a preamble detection circuit that takes the aforementioned decision signal as an input and outputs a preamble detection signal upon detecting a pattern of the aforementioned preamble; and a biphase demodulation circuit that takes the aforementioned preamble detection signal and the aforementioned decision signal as inputs and demodulates the digital audio signal for output based on the decision signal while using the preamble detection signal as a timing reference.

[0025]

Embodiments of the present invention will be explained below with reference to figures.

Embodiment 1

Figure 1 is a block diagram of a digital audio interface signal demodulation circuit in an embodiment of the present invention. Its operations will be explained below according to Figure 1.

[0026]

1 represents an edge detection circuit. It outputs edge detection signal s102 that indicates that edges of digital audio signal s101 are detected at positive edges of reference clock s100 and second-half detection signal 103 that indicates that edges of digital audio interface signal s101 are found in the second half of reference clock s100.

[0027]

2 represents a decision circuit. It obtains a count value of edge detection signal intervals using reference clock s100 every time edge detection signal s102 is input, adds 1 to the value that is obtained by doubling said value when second-half detection signal s103 is input, and furthermore subtracts 1 when the immediately preceding second-half detection signal is input in order to compute a half-clock count value. It determines 1T, 2T, and 3T by checking said half-clock count values against a prescribed table, for example, 4-9, or 10-15, and 16-22, in order to output decision signal s104.

[0028]

3 represents a preamble detection circuit. It outputs preamble detection signal s105 when it detects one of 3 kinds of decision signal strings, namely, 3113, 3311, or 3212, from decision signal s104 indicating 1T, 2T, and 3T.

[0029]

4 represents a biphase demodulation circuit. It outputs 0 when 2T is input from the decision signal, or 1 when 1T is output 2 times continuously, with reference to preamble detection signal s105 in order to demodulate digital audio signal s106 for output.

[0030]

Reference clock s100 may have an arbitrary frequency that is higher than one half of the minimum inversion cycle (1T) of digital audio interface signal s101. For example, a 16.9344 MHz clock may be used to this end.

[0031]

Figure 2 is an example circuit diagram of edge detection circuit 1.

[0032]

When a signal obtained by penetrating digital audio interface signal s101 at the positive edges of reference clock s100 is denoted by q1, and a signal obtained by penetrating it at the negative edges of reference clock s100 is denoted by nq1, edge detection signal s102 is generated using the exclusive OR of q1 and a signal that is obtained by penetrating q1 at the positive edges. In addition, second-half detection signal s103 is generated using the exclusive OR of q1 and nq1.

[0033]

Figure 3 is a timing chart of operations performed by edge detection circuit 1 and decision circuit 2. The operations will be explained in detail below with reference to Figure 3.

[0034]

Assume that digital audio interface signal s101 is input in the manner indicated by 6, 7, 6, 7, and 12 counted based on the half-clock of reference clock s100 with respect to reference clock s100 as indicated by A, B, C, D, and E in the figure. At edge detection circuit 1, the signal that penetrates the positive edges of reference signal [sic; clock] s100 and the signal that penetrates the negative edges and penetrates again the positive edges take waveforms indicated by q1 and nq1, respectively. Edge detection signal s102 that indicates detection of an edge of q1 is output at each edge as shown in the figure. Second-half detection signal s103 that is obtained from the exclusive OR of q1 and nq1 is output when a transition is present in the second half of the reference clock as indicated by B and C in the figure.

[0035]

At decision circuit 2, half-clock count value $n(t)$ is obtained from edge interval count value $c(t)$ of s102, value $p(t)$ of second-half output signal s103, and value $p(t-1)$ of the preceding second-half detection signal using the following equation.

[0036]

$$n(t) = -p(t-1) + 2 \times c(t) + p(t)$$

Here, p is 1 or 0. Thus, because the count value is 3 in response to input A, but second-half detection signal s103 does not rise, $n = 6$. Because the count value is 3 in response to input B, and second-half detection signal s103 rises this time, $n = 7$. Because the count value is 3 in

response to input C, and both second-half detection signals s103 rise, $n = 6$. Similarly, for D, $n = 7$. As for E, $n = 12$. These values are output as decision signal s104 indicating 1T, 1T, 1T, 1T, and 2T that are determined using a table.

[0037]

Figure 4 is a timing chart of operations performed by preamble detection circuit 3 and biphase demodulation circuit 4. The operations will be explained in detail below with reference to Figure 4.

[0038]

Upon detecting one of 3 kinds of preamble patterns, namely, 3113, 3311, or 3212, from decision signal s104, preamble detection circuit 3 outputs preamble detection signal s105. Preamble detection signal s105 is generated such that it reaches the L level when the preamble pattern is detected, and it reaches the H level when the 28th bit of digital audio interface signal has passed. An L period becomes a biphase-mark-modulated part.

[0039]

Biphase demodulation circuit 4 outputs 0 in response to 2T, or 1 when 1T is repeated 2 times from the place where preamble detection signal s105 reaches the L level, in order to obtain demodulated data. Audio data are separated from said demodulated data in order to output digital audio signal s106.

[0040]

As described above, because the present invention is configured such that edges of the digital audio interface signal are detected at the positive edge as well as at the negative edge of the reference clock, count values are obtained at each half-clock of the reference clock based on said outputs, and the demodulated output is obtained from said count values through table-based decision making, the demodulation can be achieved using only a low-frequency reference clock without requiring a PLL. (Embodiment 2) Figure 5 is a block diagram of a digital audio interface signal demodulation circuit in an embodiment of the present invention. Its operations will be explained below based on Figure 5.

[0041]

51 represents an edge detection circuit with a noise-reduction function. It outputs edge detection signal s102 that detects edges of a signal that is determined by a majority vote among signals obtained by detecting edges of digital audio signal s101 at 3 edges comprising a positive,

a negative, and a positive edge of reference clock S100, and second-half detection signal s103 that indicates that the center of edge change is found in the second half of reference clock s100 based on a signal that is determined by a majority vote among signals obtained by detecting edges of the digital audio interface signal s101 at 3 edges comprising a positive, a negative, and a positive edge of reference clock S100.

[0042]

52 represents a frequency detection circuit. It detects signal amplitudes of edge detection signals that correspond to 3T signals with all sampling frequencies, for example, 32 kHz, 44.1 kHz, and 48 kHz, that need demodulation, whereby it detects 32 kHz, 44.1 kHz, and 48 kHz based on whether their cycles are 2x cycles of the respective sampling frequencies in order to output sampling frequency detection signal s107.

[0043]

2 represents a decision circuit. It obtains a signal interval count value using reference clock s100 every time edge detection signal s102 is input, whereby it adds 1 to the value that is obtained by doubling said value when second-half detection signal s103 is input, or subtracts 1 from it when the immediately preceding second-half detection signal is input, in order to compute a half-clock count value. Then, it checks said half-clock count value against a decision table that contains values that are prescribed for respective sampling frequencies indicated by sampling frequency detection signal s107, whereby it determines 1T, 2T, and 3T in order to output decision signal s104.

[0044]

3 represents a preamble detection circuit. Upon detecting one of 3 kinds of decision signal strings, namely, 3113, 3311, or 3212, from decision signal s104 indicating 1T, 2T, and 3T, it outputs preamble detection signal s105.

[0045]

4 represents a biphase demodulation circuit. It outputs 0 when 2T is input from the decision signal, or 1 when 1T is output 2 times continuously, with reference to preamble detection signal s105 in order to demodulate digital audio signal s106 for output.

[0046]

Reference clock s100 may have an arbitrary frequency that is higher than one half of the minimum inversion cycle (1T) of digital audio interface signal s101. For example, a 16.9344 MHz clock may be used to this end.

[0047]

Figure 6 is an example of edge detection circuit 51 with the noise-reduction function.

[0048]

A signal obtained by penetrating digital audio interface signal s101 at the positive edges of reference clock s100 is denoted by q1, and a signal obtained by further penetrating said signal at the positive edges is denoted by q2. In addition, a signal obtained by penetrating the negative edges of reference signal s100 and by penetrating it again at the positive edges is denoted by nq1, and a signal obtained by further penetrating said signal at the positive edges is denoted by nq2. Carrier c1 is obtained by adding q1, nq1, and q2 using a full adder; and carrier c2 is obtained by adding nq1, q2, and nq2 using the full adder. Edge detection signal s102 is generated using the exclusive OR of signals that are obtained by penetrating c1 and c1 at the positive edges. In addition, second-half detection signal s103 is generated using the exclusive OR of c1 and c2.

[0049]

Figure 7 is a timing chart of operations performed by edge detection circuit 51 with the noise-reduction function and decision circuit 2. The operations will be explained in detail below with reference to Figure 7.

[0050]

Assume that digital audio interface signal s101 is input with respect to reference clock s100 as indicated by A, B, C, D, and E in the figure. This shows a case where the signal fluctuates at the edges between A and B and between C and D, and a whisker-like noise is generated at the center of E.

[0051]

In the case of edge detection circuit 51 with the noise-reduction function, the signal that penetrates at the positive edges of reference signal [sic; clock] s100 and the signal that penetrates the negative edges and penetrates again the negative edges take waveforms indicated by q1 and nq1, respectively. Signals obtained by further penetrating q1 and nq1 at the positive edges are q2 and nq2, respectively. Carrier output c1 obtained by adding q1, nq1, and q2 using a full adder is

a majority vote output that reaches H when 2 or more of the 3 signals reach the H level. The same holds true of carrier output c2 that is computed from nq1, q2, and nq2 using the full adder. To provide a little more explanation for better understanding, c1 and c2 take the same waveforms as those of q1 and nq1 that are obtained when digital audio interface signal s101 in Figure 7 is delayed by one half of the clock with respect to reference clock s100. This is because the aforementioned operations of edge detection circuit 51 with the noise-reduction function are equivalent to taking the average of 3 points that are each delayed by one half of reference clock s100, the average of the edges with no noise is placed at a position delayed by one half of the clock. Edge detection signal s102 that indicates detection of the edges of c1 is output at each edge as shown in the figure. Second-half detection signal s103 that is obtained using the exclusive OR of c1 and c2 is output when the average transitions at the 3 points are located in the second half of the reference clock as indicated by A, D, and E in the figure.

[0052]

At decision circuit 2, half-clock count value $n(t)$ is obtained based on edge interval count value $c(t)$ of s102, value $p(t)$ of second-half detection signal s103, and value $p(t-1)$ of the preceding second-half detection signal using the following equation.

[0053]

$$n(t) = -p(t-1) + 2 \times c(t) + p(t)$$

Here, p is 1 or 0. Thus, because the count value is 3 in response to input A, and both second-half detection signals s103 rise, $n = 6$. Because the count value is 4 in response to input B, and only preceding second-half detection signal s103 rises, $n = 7$. Because the count value is 3 in response to input C, but neither second-half value s103 rises, $n = 6$. Similarly, for D, $n = 7$. As for E, $n = 12$.

[0054]

Frequency detection circuit 52 detects the signal amplitudes corresponding to 3T signals of all sampling frequencies that need demodulation from edge detection signal s102. For example, it detects a signal amplitude of 11 - 15 for 32 kHz and a signal amplitude of 8 - 10 for 44.1 kHz or 48 kHz. It detects 32 kHz, 44.1 kHz, or 48 kHz based on whether each cycle is a 2x cycle of the applicable sampling frequency or not and outputs sampling frequency detection signal s107. Here, an embodiment that utilizes half-clock count value $n(t)$ of decision circuit 2 to detect the 3T signals may be adopted.

[0055]

Figure 8 shows an example decision table used by decision circuit 2. Half-clock count value n obtained by decision circuit 2 in Figure 7 is determined using a frequency ranging from 32 kHz to 48 kHz in the table shown in Figure 8 according to sampling frequency detection signal s107 output from frequency detection circuit 52. Assuming 44.1 kHz, for example, 1T, 1T, 1T, 1T, and 2T are determined using the decision table and output as decision signal s104.

[0056]

The operations of preamble detection circuit 3 and biphasic demodulation circuit 4 are identical to those in Embodiment 1. Preamble detection circuit 3 detects one of the 3 kinds of preamble patterns, that is, 3113, 3311, or 3212, from decision signal s104, and outputs preamble detection signal s105. Preamble detection signal s105 is generated in such a manner that it reaches the L level upon detecting the preamble pattern and reaches the H level when the 28th bit of the digital audio interface signal has passed. An L period becomes a biphasic-mark-modulated part.

[0057]

Biphasic demodulation circuit 4 outputs 0 when 2T is detected, or 1 when 1T is detected 2 times continuously, at the location where preamble detection signal s105 has reached the L level in order to obtain demodulated data. Audio data are separated from said demodulated data in order to output digital audio signal s106.

[0058]

As described above, according to the present invention, because an adder circuit is added to the edge detection circuit, a digital audio signal can be demodulated correctly even if minor noises are present at the edges of the digital audio interface signal or in the middle of the signal.

[0059]

In addition, according to the present invention, digital audio interface signals with a variety of sampling frequencies can be demodulated by switching the decision table according to a 3T cycle of the applicable edge detection signal. In addition, because the table is constructed with width, deviations in frequencies and duty-cycles across digital audio signals can be better tolerated.

[0060]

Effect of the invention

As described above, because the present invention is configured such that edge detection of the digital audio interface signal is carried out using both positive and negative edges of the reference clock, the count value at the half-clock of the reference clock is obtained from the resulting output, and because a demodulated output is obtained based on said count value through table-based decision making, demodulation can be achieved using only a low-frequency reference clock without requiring a PLL.

[0061]

Because an analog circuit such as a PLL or LPF is no longer required, a digital audio interface signal demodulation circuit with compact circuitry and stable operation can be realized.

Brief description of the figures

Figure 1 is a block diagram of a digital audio interface signal demodulation circuit in an embodiment of the present invention.

Figure 2 is a diagram showing an example circuit diagram of edge detection circuit 1.

Figure 3 is a timing chart of operations performed by edge detection circuit 1 and decision circuit 2.

Figure 4 is a timing chart of operations performed by preamble detection circuit 3 and biphas demodulation circuit 4.

Figure 5 is a block diagram of a digital audio interface signal demodulation circuit in an embodiment of the present invention.

Figure 6 is a diagram showing an example circuit diagram of edge detection circuit 51 with a noise-reduction function.

Figure 7 is a timing chart of operations performed by edge detection circuit 51 with the noise-reduction function and decision circuit 2.

Figure 8 is a diagram illustrating an example of the judgment table of judgment circuit 2.

Figure 9 is a timing chart showing an outline of a digital audio interface standard.

Figure 10 is a block diagram of a conventional demodulation circuit used for demodulating a digital audio interface signal.

Figure 11 is a timing chart of operations performed by a conventional demodulation circuit.

Explanation of symbols

1 Edge detection circuit

- 2 Decision circuit
- 3 Preamble detection circuit
- 4 Biphase demodulation circuit
- 51 Edge detection circuit with a noise-reduction function
- 52 Frequency detection circuit

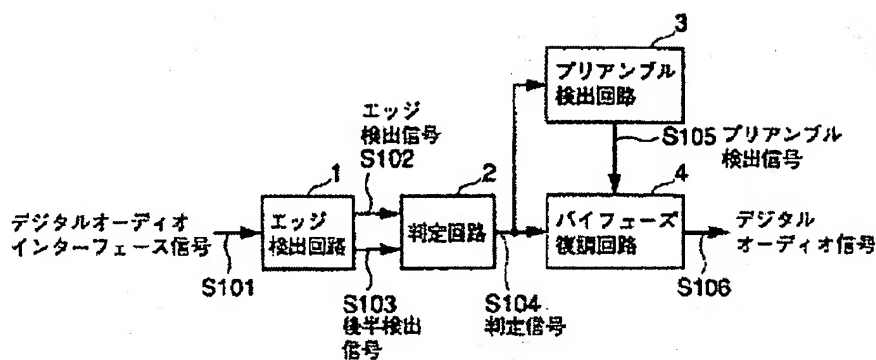


Figure 1

- Key:
- S101 Digital audio interface signal
 - S102 Edge detection signal
 - S103 Second-half detection signal
 - S104 Decision signal
 - S105 Preamble detection signal
 - S106 Digital audio signal
 - 1 Edge detection circuit
 - 2 Decision circuit
 - 3 Preamble detection circuit
 - 4 Biphase demodulation circuit

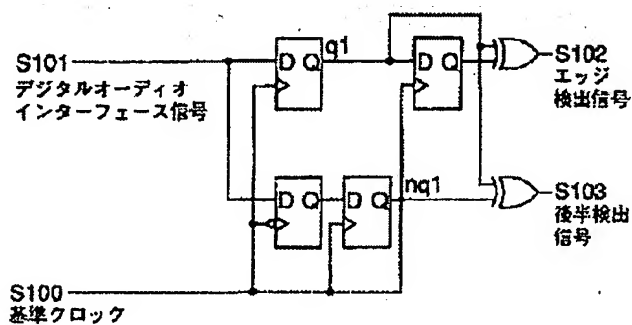


Figure 2

- Key:
- S100 Reference clock
 - S101 Digital audio interface signal
 - S102 Edge detection signal

S103 Second-half detection signal

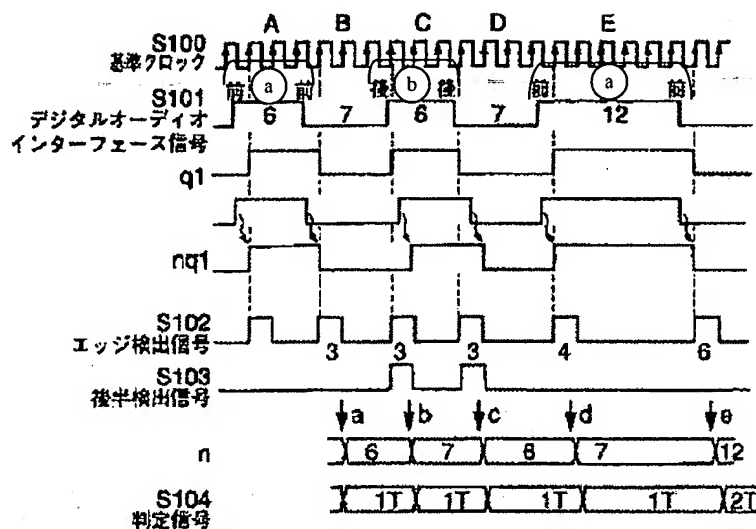


Figure 3

- Key: a Front
 b Back
 S100 Reference clock
 S101 Digital audio interface signal
 S102 Edge detection signal
 S103 Second-half detection signal
 S104 Decision signal

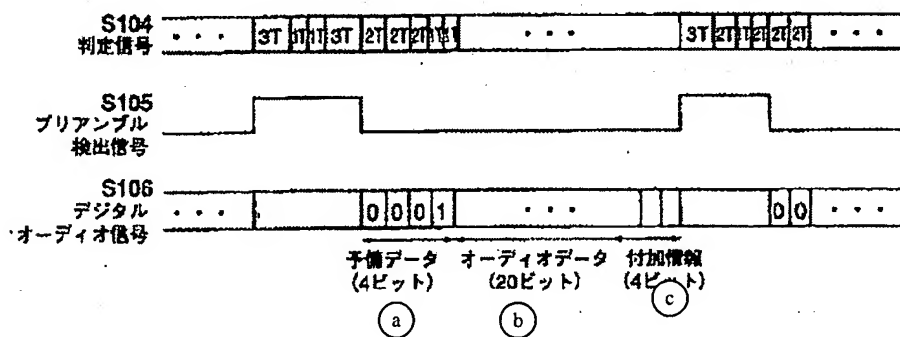


Figure 4

- Key: a Auxiliary data (4 bits)
 b Audio data (20 bits)
 c Additional information (4 bits)
 S104 Decision signal
 S105 Preamble detection signal
 S106 Digital audio signal

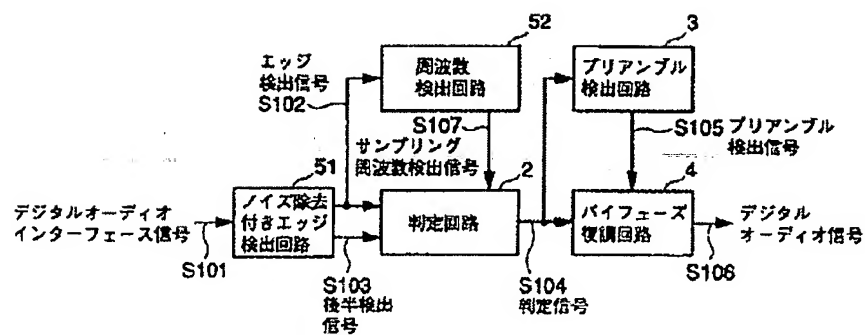


Figure 5

- Key:
- S101 Digital audio interface signal
 - S102 Edge detection signal
 - S103 Second-half detection signal
 - S104 Decision signal
 - S105 Preamble detection signal
 - S106 Digital audio signal
 - S107 Sampling frequency detection signal
 - 2 Decision circuit
 - 3 Preamble detection circuit
 - 4 Biphas demodulation circuit
 - 51 Edge detection circuit with a noise-reduction function
 - 52 Frequency detection circuit

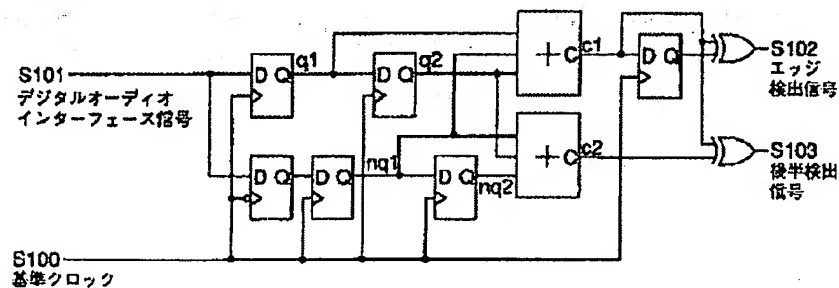


Figure 6

- Key:
- S100 Reference clock
 - S101 Digital audio interface signal
 - S102 Edge detection signal
 - S103 Second-half detection signal

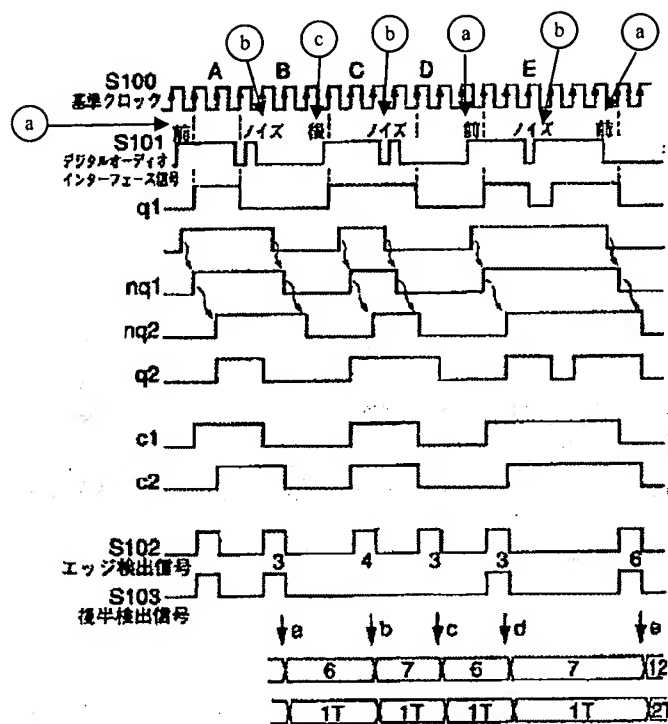


Figure 7

Key: a Front
 b Noise
 c Back
 S100 Reference clock
 S101 Digital audio interface signal
 S102 Edge detection signal
 S103 Second-half detection signal

	32K	44.1K	48K
1T	5~13	4~9	4~9
2T	14~21	10~15	10~14
3T	22~30	16~22	15~20

Figure 8

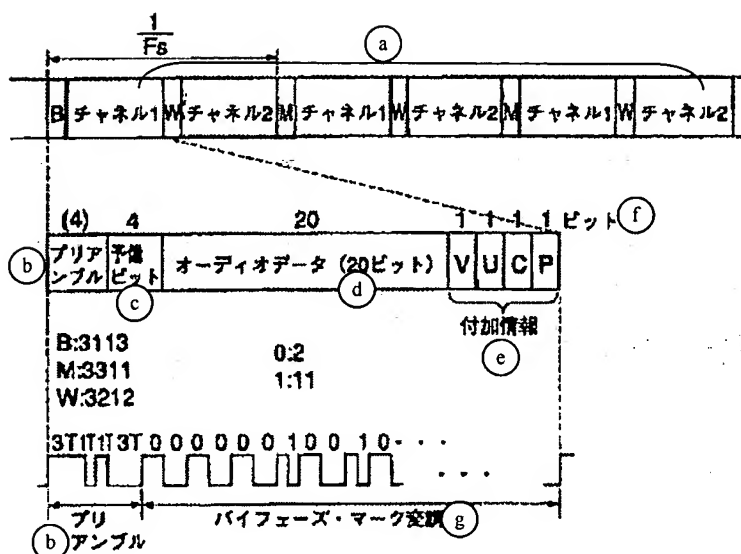


Figure 9

- Key:
- a Channel
 - b Preamble
 - c Auxiliary bits
 - d Audio data (20 bits)
 - e Additional information
 - f Bit
 - g Biphase mark modulation

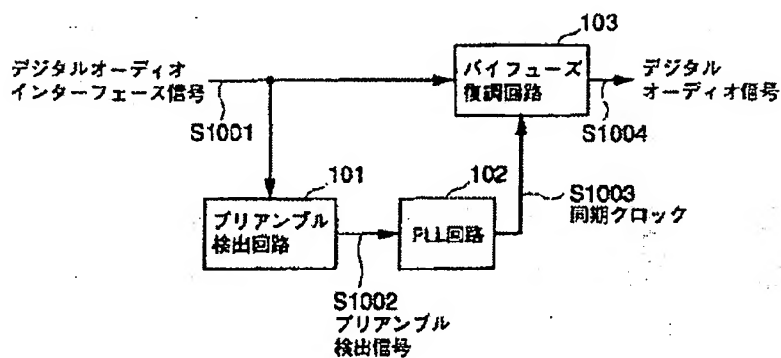


Figure 10

- Key:
- S1001 Digital audio interface signal
 - S1002 Preamble detection signal
 - S1003 Sync clock
 - S1004 Digital audio signal
 - 101 Preamble detection circuit
 - 102 PLL circuit
 - 103 Biphase demodulation circuit

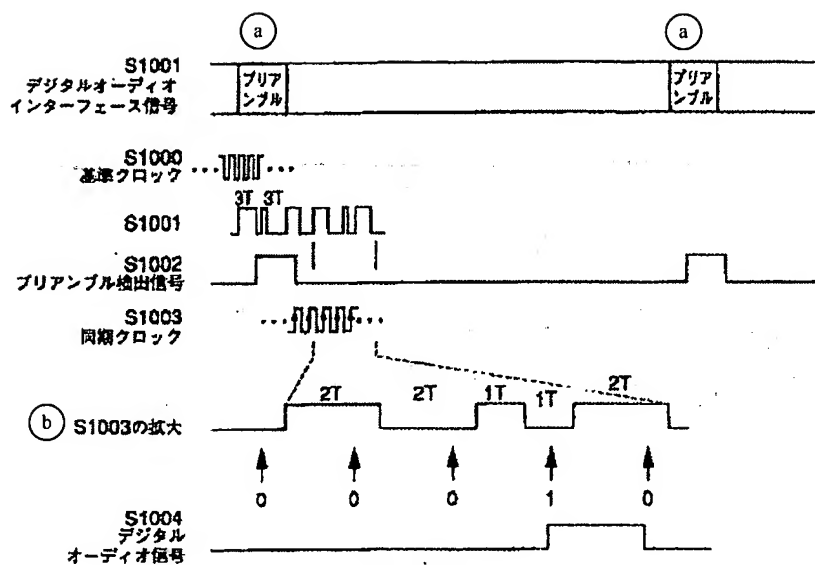


Figure 11

- Key:
- a Preamble
 - b Enlargement of S1003
 - S1000 Reference clock
 - S1001 Digital audio interface signal
 - S1002 Preamble detection signal
 - S1003 Sync clock
 - S1004 Digital audio signal

Sanders Joan (Princeton)

From: Fornarotto Davida (Princeton)
Sent: Saturday, January 31, 2009 3:17 PM
To: Sanders Joan (Princeton)
Subject: FW: English Translation Attached - Your Ref# Japanese 2000-105976/PU020292 JP/BJD(Joan)/Order No. 8564

Attachments: 228-120133.pdf



228-120133.pdf
(148 KB)

January 31, 2009

Joan

Attached is the English translation of JP 2000-105976 that you wanted for PU020292 JP for BJD.

PLEASE PUT THIS TRANSLATION IN SHARE POINT AND PUT "TRANSLATION" IN THE TITLE.

Davida

-----Original Message-----

From: customerservice@mcelroytranslation.com
[mailto:customerservice@mcelroytranslation.com]
Sent: Tuesday, January 27, 2009 1:33 PM
To: Fornarotto Davida (Princeton)
Subject: Translation Attached - Your Ref# Japanese 2000-105976/PU020292 JP/BJD(Joan)/Order No. 8564 - Our Job # 228-120133

Hello Davida Fornarotto,

Your translated text is attached. Please contact Customer Service (customerservice@mcelroytranslation.com) if you have any questions. Thank you.

TRANSLATION ORDER DETAIL

Job Number: 228-120133
Your PO/Ref.: Japanese 2000-105976/PU020292 JP/BJD(Joan)/Order No. 8564
From: Japanese
Into: English
Job
Description: JP2000105976A

SHIPPING DEPARTMENT

McElroy Translation
910 West Ave., Austin, TX 78701 USA
512-472-6753 or 800-531-9977
512-472-4591 fax

McElroy Translation adheres to and promotes the ASTM International Standard Guide for Quality Assurance in Translation.

CONFIDENTIAL: This communication is CONFIDENTIAL and intended for the above identified recipient(s) ONLY. Any distribution or duplication of this communication is prohibited. If you have received this email in error, please notify the sender at the telephone number above and delete this message and all attachments from your computer. Thank you.

Files Delivered to davida.fornarotto@thomson.net:
228-120133.pdf